

## ARITHMETIC PROCESSING UNIT AND RATIO STATION EQUIPMENT USING THE SAME

Patent Number: JP10178356  
Publication date: 1998-06-30  
Inventor(s): ISHIKAWA TOSHIHIRO; SUZUKI HIDETOSHI  
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD  
Requested Patent: ☐ JP10178356  
Application Number: JP19970293191 19971013  
Priority Number(s):  
IPC Classification: H03M13/12; G06F11/10  
EC Classification:  
Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To provide an arithmetic processing unit by which trace back processing of Viterbi decoding is executed in a small bit width at a high speed efficiently.

**SOLUTION:** The arithmetic processing unit is provided with a memory 1 storing a path selection signal, a barrel shifter 3 shifting data read from the memory 1, a shift register 4 receiving a bit shifted toward the MSB by the barrel shifter 3, and a means 5 that converts data at a specific bit location of the shift register 4 to generate a shift number of the barrel shifter 3, and also with an address generating means 10 that stores a path selection signal at the same point of time divided into a plurality of groups to the memory 1 and provides an output of an address and with an address conversion means 7 that combines the address and the specific bit location value of the shift register 4 to generate a group read address. Then trace back of Viterbi decoding is conducted by a short bit width.

---

Data supplied from the esp@cenet database - 12

(51) Int.Cl. <sup>8</sup>	識別記号	F I	
H 0 3 M 13/12		H 0 3 M 13/12	
G 0 6 F 11/10	3 3 0	G 0 6 F 11/10	3 3 0 N

審査請求 未請求 請求項の数14 F D (全 18 頁)

(21) 出願番号 特願平9-293191

(22) 出願日 平成9年(1997)10月13日

(31) 優先権主張番号 特願平8-291202

(32) 優先日 平8(1996)10月15日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 石川 利広

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(72) 発明者 鈴木 秀俊

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

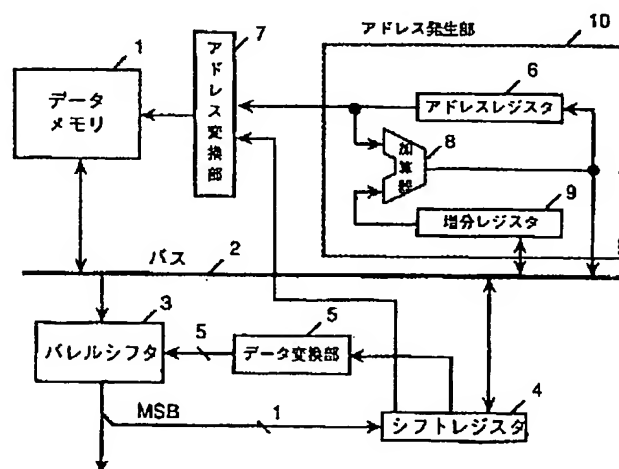
(74) 代理人 弁理士 役 昌明 (外3名)

(54) 【発明の名称】 演算処理装置及びそれを用いた無線局装置

(57) 【要約】

【課題】 ビタビ復号のトレースバック処理を、小さいビット幅で、高速且つ効率的に実施できる演算処理装置を提供する。

【解決手段】 パスセレクト信号を格納するメモリ1と、メモリから読出されたデータをシフトするパレルシフタ3と、パレルシフタがMSBにシフトしたビットを入力するシフトレジスタ4と、シフトレジスタの特定ビット位置のデータを変換してパレルシフタのシフト数を生成する手段5とを具備する演算処理装置において、メモリに、同一時点のパスセレクト信号を複数グループに分割して格納し、アドレスを出力するアドレス発生手段10と、このアドレスとシフトレジスタの特定ビット位置の値とを組合せてグループ読出しのアドレスを生成するアドレス変換手段7とを設ける。短いビット幅でビタビ復号のトレースバックを行うことができる。



**【特許請求の範囲】**

**【請求項1】** パスセレクト信号を格納するデータメモリと、前記データメモリから読み出されたデータをシフトするバレルシフタと、前記バレルシフタによりMSBにシフトされた1ビットを入力するシフトレジスタと、前記シフトレジスタの特定のビット位置のデータを変換して前記バレルシフタでのシフト数を生成するデータ変換手段とを具備する、ビタビ復号処理を行なう演算処理装置において、  
前記データメモリに、同一時点のパスセレクト信号が複数のグループに分割して格納され、  
前記データメモリのアドレスを出力するアドレス発生手段と、  
前記アドレス発生手段から出力されたアドレスと前記シフトレジスタの特定のビット位置の値とに基づいて、前記データメモリから読み出すべき前記グループのアドレスを生成するアドレス変換手段とを備えることを特徴とする演算処理装置。

**【請求項2】** 前記グループ内で前記パスセレクト信号の各々に付された添え字が連続するように、前記パスセレクト信号が複数のグループに分割されており、前記アドレス変換手段が、前記アドレス発生手段から出力されたアドレスと前記シフトレジスタの入力端のビットを含む所定数のビット位置の値とを用いて前記グループのアドレスを生成することを特徴とする請求項1に記載の演算処理装置。

**【請求項3】** 前記データ変換手段が、前記シフトレジスタの入力端のビットを除く所定数のビット位置の値を反転して前記バレルシフタでのシフト数を生成することを特徴とする請求項2に記載の演算処理装置。

**【請求項4】** 前記グループ内で前記パスセレクト信号の各々に付された添え字が一定差を保つように、前記パスセレクト信号が複数のグループに分割されており、前記アドレス変換手段が、前記アドレス発生手段から出力されたアドレスと前記シフトレジスタの入力端のビットを除くビット位置の値とを用いて前記グループのアドレスを生成することを特徴とする請求項1に記載の演算処理装置。

**【請求項5】** 前記データ変換手段が、前記シフトレジスタの入力端のビットを含む所定数のビット位置の値を反転して前記バレルシフタでのシフト数を生成することを特徴とする請求項4に記載の演算処理装置。

**【請求項6】** 前記アドレス変換手段が、前記グループのアドレスの生成に必要となる前記シフトレジスタからの値を、前記グループの1つ前のグループが前記データメモリから読み出される時期に前記シフトレジスタの所定のビット位置から得ることを特徴とする請求項4に記載の演算処理装置。

**【請求項7】** ビタビ復号処理における加算・比較・選択演算を行なうACS演算手段を具備し、前記ACS演

算手段から出力されたパスセレクト信号が前記シフトレジスタに順次格納され、前記シフトレジスタに前記グループのパスセレクト信号が格納された後、前記パスセレクト信号が前記グループごとに移送されて前記データメモリに格納されることを特徴とする請求項2に記載の演算処理装置。

**【請求項8】** ビタビ復号処理における加算・比較・選択演算を行なうACS演算手段を具備し、前記ACS演算手段から出力されたパスセレクト信号が前記シフトレジスタを含む複数のシフトレジスタに順番に格納され、前記各シフトレジスタに前記グループのパスセレクト信号が格納された後、前記パスセレクト信号が前記グループごとに移送されて前記データメモリに格納されることを特徴とする請求項4に記載の演算処理装置。

**【請求項9】** 前記ACS演算手段が、複数の全加算器から成る加算手段を具備し、一部の前記全加算器から出力されるキャリー信号の次段への伝搬を制御可能にし、前記加算手段を1または2以上の累積加算器として使用できるようにしたことを特徴とする請求項7または8に記載の演算処理装置。

**【請求項10】** 演算処理装置と、積和演算部と、データの入出力を行なう入出力部と、前記演算処理装置、積和演算部及び入出力部を制御する制御部とを備えるデジタル信号処理プロセッサであって、前記演算処理装置として、請求項1乃至9に記載の演算処理装置を具備することを特徴とするデジタル信号処理プロセッサ。

**【請求項11】** 信号の送信及び受信を行なうアンテナ部と、アンテナ部からの受信信号を受信する受信無線部と、送信信号をアンテナ部へ送信する送信無線部と、受信信号を復調して復号化し、送信信号を符号化して変調するベースバンド信号処理部と、前記アンテナ部、受信無線部、送信無線部及びベースバンド信号処理部を制御する制御部と、外部との信号の入出力を行なう入出力部とを備える無線局装置において、

前記ベースバンド信号処理部が、前記ベースバンド信号処理部で果たす機能の内の、少なくとも、受信信号の復号化を実行するデジタル信号処理プロセッサを具備し、前記デジタル信号処理プロセッサが請求項1乃至9に記載の演算処理装置を含んでいることを特徴とする無線局装置。

**【請求項12】** 前記ベースバンド信号処理部が、CDMA通信方式の変調及び復調を行なうことを特徴とする請求項11に記載の無線局装置。

**【請求項13】** 前記入出力部が、音声信号を電気信号に変換する手段と電気信号を音声信号に変換する手段とを具備し、前記無線局装置が、前記入出力部を通じて音声信号を入出力する無線移動局であることを特徴とする請求項11または12に記載の無線局装置。

**【請求項14】** 前記無線局装置が無線基地局であることを特徴とする請求項11または12に記載の無線局装

置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動通信機器などに組み込まれる演算処理装置、それを利用したDSP装置、及び、そのDSP装置を組み込んだ無線局装置に関し、特に、ビタビ復号の効率的処理を可能にしたものである。

【0002】

【従来の技術】近年、ディジタル信号処理プロセッサ（以下、DSPと略称する）は、移動体通信分野のディジタル化の動きに合わせて、例えば、携帯電話等への機器組み込み型プロセッサとして多用されている。移動無線通信回線におけるデータ通信では、ビット誤りが頻繁に発生するため、誤り訂正処理を行なう必要がある。誤り訂正の手法には、入力ビットから生成された畳み込み符号を、受信側でビタビ復号により復号する方法があり、この誤り訂正処理にDSPが使用される。

【0003】ビタビ復号は、加算・比較・選択という単純な処理の繰り返しと、最終的にデータを復号するトレースバック操作とで畳み込み符号の最尤復号を実現する。以下に、ビタビ復号の処理を簡単に説明する。

【0004】畳み込み符号は、入力ビットとそれに先行する一定数のビットとのmod 2加算により生成され、入力ビット1ビットに対応して複数の符号化データが生成される。この符号化データに影響を与える入力情報ビット数のことを拘束長Kと云い、その数はmod 2加算に用いられるシフトレジスタの段数に等しい。

【0005】この符号化データは、入力ビットと、先行する(K-1)個の入力ビットの状態とで定まる。この状態は、新たな情報ビットが入力することによって新たな状態に移る（遷移する）が、遷移可能な状態は、新たな入力ビットが0であるか1であるかによって決まってしまう。この状態の数は、(K-1)個のビットのそれぞれが1、0を取り得るから、 $2^{K-1}$ 個となる。

【0006】ビタビ復号では、受信した符号化データ系列を観測し、取り得る全ての状態遷移の中から、最も確からしい状態を推定する。そのために、情報ビット1ビットに対応する符号化データ（受信データ系列）を得るごとに、その時点での各状態へのパスの信号間距離（メトリック）を計算し、同一状態に達するパスのうち、メトリックの少ない方を生き残りパスとして残す操作を順次繰り返す。

【0007】図17は、拘束長Kの畳み込み符号器において、ある時点における状態S[2n]（nは正整数）に対し、1つ前の時点の状態S[n]と状態S[n+2<sup>K-2</sup>]とから状態遷移を表す2本のパスが延びている様子を示している。例えばK=3の場合で云えば、n=1のとき、S[2]、即ちS10の状態（先行する2ビットが「1」「0」の順に入力した状態）に対して、S[1]、

即ちS01の状態、及びS[3]、即ちS11の状態からの遷移が可能であり、また、n=2のとき、S[4]、即ちS00の状態（下位2ビットの表す状態）に対して、S[2]、即ちS10の状態、及びS[4]、即ちS00の状態からの遷移が可能である。

【0008】パスメトリックaは、状態S[2n]に入力するパスの出力シンボルと受信データ系列との信号間距離（ブランチメトリックx）と、1つ前の時点の状態S[n]までの生き残りパスのブランチメトリックの総和であるパスメトリックAとの和である。

【0009】同様にパスメトリックbは、状態S[2n]に入力するパスの出力シンボルと受信データ系列との距離（ブランチメトリックy）と、1つ前の時点の状態S[n+2<sup>K-2</sup>]までの生き残りパスのブランチメトリックの総和であるパスメトリックBとの和である。

【0010】こうして求めた、状態S[2n]に入力するパスメトリックa、bを比較し、小さい方のパスを生き残りパスとして選択する。

【0011】ビタビ復号では、このように、パスメトリックを求めるための加算、パスメトリックの比較、パスの選択の各処理を、各時点で $2^{K-1}$ 個の状態に対して実行する。

【0012】更に、パスの選択において、どちらのパスを選択したかという履歴をパスセレクト信号PS[i]、[i=0~2<sup>K-1</sup>-1]として残しておく必要がある。このとき、選ばれたパスの1つ前の状態の添え字（例えばn）が、選ばれなかった他方のパスの1つ前の状態の添え字（n+2<sup>K-2</sup>）よりも小さければ、PS[i]=0とし、大きければ、PS[i]=1とする。図17の場合、n<(n+2<sup>K-2</sup>)であるから、a≥bの時は状態S[n+2<sup>K-2</sup>]が選択されて、PS[S2n]=1となり、a<bの時は状態S[n]が選択されて、PS[S2n]=0となる。

【0013】最終的に、トレースバックにより復号する際に、このパスセレクト信号を基に生き残りパスをさかのぼりながら、データを復号していく。

【0014】次に、図18を用いてトレースバックの処理を簡単に説明する。図18は、ある時点における状態S[2n]（nは正整数）に対し、パスセレクト信号PS[2n]を基に、1つ前の時点の状態S[n]または状態S[n+2<sup>K-2</sup>]へパスをさかのぼる様子を示している。

【0015】一般に、状態S[i]とパスセレクト信号PS[i]とを用いると、1つ前の状態は、S[i/2+PS[i]×2<sup>K-2</sup>]で表せる。また、テールビットで終端されている畳み込み符号を用いる場合には、パスセレクト信号が0となるのは、1つ前の時点の復号データが0のときであり、パスセレクト信号が1となるのは、1つ前の時点の復号データが1のときである。従って、このパスセレクト信号を復号データとすることができる。

【0016】従来のビタビ復号用DSP内部の演算装置

は、図15に示すように、パスメトリック、パセレクタ信号、復号データなどを記憶するデータメモリ1と、データメモリ1から読み出されたデータをシフトするバレルシフタ3と、データメモリ1に接続してデータの供給や演算結果の移送を行なう第1のバス2と、バレルシフタ3でシフトするときのシフトビット数を保持する第1のレジスタ23と、算術論理演算を行なう算術論理演算回路（以下、ALUと略称する）26と、ALU26の左側入力の値を一時記憶する第1のラッチ24と、ALU26の右側入力の値を一時記憶する第2のラッチ25と、演算結果を一時記憶する第2のレジスタ27、28と、レジスタ27またはレジスタ28からのデータ供給を行なう第2のバス12とを備えている。

【0017】バレルシフタ3のシフトビット数は、2の補数体系で表され、正の数のときは右シフトとなり、負の数の時は左シフトとなる。

【0018】この演算装置により、テールビットで終端する量み込み符号化が行なわれた符号化データに対してビタビ復号を行なうときのトレースバック操作の動作について説明する。

【0019】このときの条件は、量み込み符号の拘束長をK、符号化されている情報ビット数をn、データメモリ1、第1のバス2、第2のバス12、第1のラッチ24、第2のラッチ25、ALU26、第2のレジスタ27、28のビット幅がそれぞれ $2^{K-1}$ ビットであるとする。

【0020】さらに、時点tのパセレクタ信号 $PS_t[i]$ 、( $t=0 \sim \{(n-1) + (K-1)\}$ 、 $i=0 \sim \{2^{K-1}-1\}$ )は、パスメモリ $PM[t] = \{PS_t[2^{K-1}-1], PS_t[2^{K-1}-2], \dots, PS_t[1], PS_t[0]\}$ のように1ワードに詰めて、 $PM[t]$ 、( $t=0 \sim \{(n-1) + (K-1)\}$ )の形でデータメモリ1に格納されているものとする。

【0021】また、復号されたデータ $Y[i]$ 、( $i=0 \sim \{n-1\}$ )は、1ビットを1ワードとしてデータメモリ1に格納する。

【0022】トレースバック操作では、データメモリ1から $PM[t]$ を読み出し、バレルシフタ3により、選択するパセレクタ信号を最下位ビット(LSB)にシフトし、そのLSBを抜き出して復号データとする。このシフト数は、選択された状態の2の補数により求める。この量み込み符号では、テールビットで終端するように設定されているため、状態0から始め、その前の時点の状態は、 $[i/2 + PS[i] \times 2^{K-2}]$ を演算して求める。そして、得られた状態を基に、次のパセレクタ信号をLSBにシフトするときのシフト数を決める。こうした手順を繰り返すことにより、復号データ系列を得ることができる。

【0023】次に、トレースバックの動作をステップに分けて説明する。

【0024】ステップ1：状態0から始めるために、固

定値「0」を第2のラッチ25に格納する。ALU26は第2のラッチ25の値をそのまま第2のレジスタ27に格納する。次のステップ2からステップ10については、iの値を $\{(n-1) + (K-1)\}$ から $(K-1)$ までダウンカウントしながらn回繰り返す。

【0025】ステップ2：第2のレジスタ27の値を、第2のバス12を介して、第1のラッチ24に格納する。ALU26で第1のラッチ24の値の2の補数を求め、第2のレジスタ28に格納する。

【0026】ステップ3：第2のレジスタ28の値を、第1のバス2を介して、第1のレジスタ23に格納する（次のパセレクタ信号を選択するためのシフトビット数となる）。

【0027】ステップ4：データメモリ1よりパスメモリ $PM[i]$ を読み出し、バレルシフタ3で第1のレジスタ23が指定するシフトビット数分だけシフトし、第2のラッチ25に格納する。ALU26は第2のラッチ25の値をそのまま第2のレジスタ28に格納する（選択するパセレクタ信号が最下位ビット[LSB]に寄せられた）。

ステップ5：第2のレジスタ28の値を第2のバス12を介して第1のラッチ24に格納し、固定値「1」を第2のラッチ25に格納する。ALU26において第1のラッチ24と第2のラッチ25との論理積を求め、第2のレジスタ28に格納する（LSBのみが抜き出された）。

【0028】ステップ6：第2のレジスタ28の値を復号データ $Y[i - (K-1)]$ としてデータメモリ1に格納する（LSBが復号データとなる）。

【0029】ステップ7：第1のレジスタ23に固定値「K」を格納する。

【0030】ステップ8：第2のレジスタ27の値を第2のバス12を介して第1のラッチ24に格納し、第2のレジスタ28の値を第1のバス2を介してバレルシフタ3に出力し、バレルシフタ3は、これを第1のレジスタ23が指定するシフトビット数分だけシフトして、その出力を第2のラッチ25に格納する。ALU26において第1のラッチ24と第2のラッチ25との論理和を求め、第2のレジスタ28に格納する。

【0031】ステップ9：第1のレジスタ23に固定値「-1」を格納する。

【0032】ステップ10：第2のレジスタ28の値をバレルシフタ3で第1のレジスタ23が指定するシフトビット数の分シフトした出力を第2のラッチ25に格納する。ALU26は第2のラッチ25の値をそのまま第2のレジスタ27に格納する（ステップ7～10の処理で1つ前の状態が算出される）。

【0033】以上のように、従来の演算装置では、バレルシフタ3とALU26とを組合せて演算することにより、nビットの情報ビットのビタビ復号におけるトレースバック操作を $(9n+1)$ ステップで行なうことができる。

【0034】しかし、この従来の演算装置では、トレースバック操作に要する実行ステップ数が多いという問題があり、これを解決するための演算処理装置が、例えば特開平6-112848号に開示されている。

【0035】この装置は、図16に示すように、パスメトリック、パスセレクト信号などを記憶するデータメモリ1と、データメモリ1に接続され、データの供給や演算結果の移送を行なうバス2と、データメモリ1から読み出したパスメモリデータの選択されたパスセレクト信号を最上位ビット(MSB)にシフトするバレルシフタ3と、バレルシフタ3の出力のMSBをシフト入力し、またバス2を介してデータメモリ1からのデータロードまたはデータメモリ1へのデータ格納を行なうシフトレジスタ4と、シフトレジスタ4の予め定めた複数のビット位置の値を反転して、バレルシフタ3にシフトビット数として与えるインバータ29とを備えている。

【0036】なお、バレルシフタ3のシフトビット数は2の補数体系で表され、正の数のとき右シフトとなり、負の数のとき左シフトとなる。また、シフトレジスタ4はシフト入力側をMSBとする。

【0037】この演算装置により、テールビットで終端する畳み込み符号化が行なわれた符号化データに対してビタビ復号を行なうときのトレースバック操作の動作について説明する。

【0038】このときの条件は、畳み込み符号の拘束長をK、符号化されている情報ビット数をn、データメモリ1、バス2、シフトレジスタ4のビット幅を $2^{K-1}$ ビットとする。また、シフトレジスタ4のシフト入力にはバレルシフタ3の出力のMSBが入力し、インバータ29はシフトレジスタ4の上位(K-1)ビットを反転して、その出力(K-1)ビットのMSBに「0」を付加した計Kビットをバレルシフタ3のシフトビット数として出力する。

【0039】また、パスセレクト信号 $PS_t[i]$ 、( $t=0 \sim \{(n-1) + (K-1)\}$ 、 $i=0 \sim (2^{K-1}-1)$ )は、先と同様に、パスメモリ $PM[t] = \{PS_t[2^{K-1}-1], PS_t[2^{K-1}-2], \dots, PS_t[1], PS_t[0]\}$ のように1ワードに詰めて、 $PM[t]$ 、( $t=0 \sim \{(n-1) + (K-1)\}$ )の形でデータメモリ1に格納されており、また、復号されたデータ $Y[i]$ 、( $i=0 \sim \{n-1\}$ )は、1ビットを1ワードとしてデータメモリ1に格納するものとする。

【0040】トレースバック操作では、データメモリ1から読み出したパスメモリを、バレルシフタ3でシフトして、選択すべきパスセレクト信号をMSBに移し、このパスセレクト信号をシフトレジスタ4に入力する。このとき、シフトレジスタ4の上位(K-1)ビットは1つ前の状態を表している。そのため、次のシフト数は、この上位(K-1)ビットを反転することによって得ることができる。このシフト数をインバータ29で生成し、

次のパスメモリにおける選択すべきパスセレクト信号をバレルシフタ3出力のMSBに移し、シフトレジスタ4に入力する。

【0041】この繰り返しにより、シフトレジスタ4には、復号データとなる選択されたパスセレクト信号が順次格納され、それが所定ビット数貯まるごとにデータメモリ1に格納される。

【0042】このトレースバックの動作をステップに分けて説明する。

【0043】ステップ1：状態0から始めるために、固定値「0」をデータロードしてシフトレジスタ4に格納する。

【0044】次のステップ2とステップ3について、iの値を $\{(n-1) + (K-1)\}$ から(K-1)までダウンカウントしながらn回繰り返す。

【0045】ステップ2：データメモリ1よりパスメモリ $PM[i]$ を読み出し、バレルシフタ3でインバータ29の出力のKビットが指定するシフトビット数の分だけシフトして、バレルシフタ3の出力のMSBをシフトレジスタ4にシフト入力する(この操作で、選択するパスセレクト信号が最上位ビット[MSB]に寄せられる。ここで、シフト入力後のシフトレジスタ4の上位[K-1]ビットが1つ前の状態を示していることになる。さらに、上位[K-1]ビットの反転が、次のパスセレクト信号を選択するためのシフトビット数の基礎となっている)。

【0046】ステップ3： $2^{K-1}$ ビット分だけ復号されるごとに1回、シフトレジスタ4の内容をデータメモリ1に格納する(選択され、シフトレジスタ4に格納されたパスセレクト信号が、復号データとなっている)。

【0047】以上のように、この装置では、ステップ2でパスセレクト信号の選択及び1つ前の状態の算出を行なっており、nビットの情報ビットに対するビタビ復号のトレースバックの処理を $\{n + (n/2^{K-1}) + 1\}$ ステップで実行することができる。

【0048】

【発明が解決しようとする課題】しかし、これらの従来の演算処理装置では、データメモリやバスのビット幅が $2^{K-1}$ ビット(Kは復号したい畳み込み符号の拘束長)以上であることが要求されており、Kの値が大きくなると、それに合わせてデータバスのビット幅を大きくする必要があるという問題を有している。

【0049】本発明は、こうした従来の問題点を解決するものであり、 $2^{K-1}$ の値がデータバスのビット幅より大きい場合でも、ビタビ復号のトレースバック処理を高速且つ効率的に実施できる演算処理装置を提供し、また、その演算処理装置を用いたDSP、及び、そのDSPを組み込んだ無線局装置を提供することを目的としている。

【0050】

【課題を解決するための手段】そこで、本発明の演算処

理装置では、データメモリに、同一時点のパスセレクト信号を複数のグループに分割して格納し、このグループを読み出すためのアドレスを、アドレス発生手段の出力するアドレスと、選択されたパスセレクト信号が順次入力するシフトレジスタの特定のビット位置の値とを組み合わせて生成している。

【0051】そのため、 $2^{K-1}$ ビットより短いビット幅でビタビ復号におけるトレースバック処理を行なうことができ、高速且つ効率的な演算処理が可能である。

【0052】

【発明の実施の形態】本発明の請求項1に記載の発明は、パスセレクト信号を格納するデータメモリと、データメモリから読み出されたデータをシフトするバレルシフタと、バレルシフタによりMSBにシフトされた1ビットを入力するシフトレジスタと、シフトレジスタの特定のビット位置のデータを変換してバレルシフタでのシフト数を生成するデータ変換手段とを具備する、ビタビ復号処理を行なう演算処理装置において、データメモリに、同一時点のパスセレクト信号を複数のグループに分割して格納し、データメモリのアドレスを出力するアドレス発生手段と、アドレス発生手段から出力されたアドレスとシフトレジスタの特定のビット位置の値とに基づいて、データメモリから読み出すべきグループのアドレスを生成するアドレス変換手段とを設けたものであり、 $2^{K-1}$ ビットより短いビット幅でビタビ復号におけるトレースバック処理を行なうことができる。

【0053】請求項2に記載の発明は、このグループ内でパスセレクト信号の各々に付された添え字が連続するように、パスセレクト信号を複数のグループに分割し、アドレス変換手段が、アドレス発生手段から出力されたアドレスとシフトレジスタの入力端のビットを含む所定数のビット位置の値とを用いてそのグループのアドレスを生成するようにしたものであり、例えば $K=6$ の場合、時点 $t$ における合計32ビットのパスセレクト信号が、 $PS_t[0]$ から $PS_t[15]$ までと、 $PS_t[16]$ から $PS_t[31]$ までの16ビット幅の2ワードの形態で格納される。

【0054】請求項3に記載の発明は、このときのデータ変換手段が、シフトレジスタの入力端のビットを除く所定数のビット位置の値を反転してバレルシフタでのシフト数を生成するように構成したものであり、データメモリに格納されるパスセレクト信号の各ワードのビット幅を $n$ とすると、シフトレジスタのMSBを除く上位 $\log_2 n$ ビットが反転されてバレルシフタでのシフト数が生成される。

【0055】請求項4に記載の発明は、グループ内でパスセレクト信号の各々に付された添え字が一定差を保つように、パスセレクト信号を複数のグループに分割し、アドレス変換手段が、アドレス発生手段から出力されたアドレスとシフトレジスタの入力端のビットを除くビッ

ト位置の値とを用いて、このグループのアドレスを生成するように構成したものであり、例えば $K=6$ の場合、添え字が偶数のパスセレクト信号 $PS_t[0]$ 、 $PS_t[2]$ 、 $\dots$ 、 $PS_t[30]$ と、添え字が奇数のパスセレクト信号 $PS_t[1]$ 、 $PS_t[3]$ 、 $\dots$ 、 $PS_t[31]$ とのグループに分割される。

【0056】請求項5に記載の発明は、このときのデータ変換手段が、シフトレジスタの入力端のビットを含む所定数のビット位置の値を反転してバレルシフタでのシフト数を生成するように構成したものであり、シフトレジスタのMSBを含む上位 $\log_2 n$ ビットが反転されてバレルシフタでのシフト数が生成される。

【0057】請求項6に記載の発明は、このときのアドレス変換手段が、このグループのアドレスの生成に必要なシフトレジスタからの値を、そのグループの1つ前のグループがデータメモリから読み出される時期にシフトレジスタの所定のビット位置から得るように構成したものであり、こうすることにより、パイプライン構造のトレースバック処理が可能となる。

【0058】請求項7に記載の発明は、ビタビ復号処理における加算・比較・選択演算を行なうACS (Add, Compare, Select) 演算手段を設け、ACS演算手段から出力されたパスセレクト信号をシフトレジスタに順次格納し、シフトレジスタにグループのパスセレクト信号が格納された後、このパスセレクト信号をグループごとに移送してデータメモリに格納するように構成したものであり、請求項2に記載したパスセレクト信号のグループを、トレースバック処理機構を利用して効率的に格納することができる。

【0059】請求項8に記載の発明は、ビタビ復号処理における加算・比較・選択演算を行なうACS演算手段を設け、ACS演算手段から出力されたパスセレクト信号を前記シフトレジスタを含む複数のシフトレジスタに順番に格納し、各シフトレジスタにグループのパスセレクト信号が格納された後、このパスセレクト信号をグループごとに移送してデータメモリに格納するように構成したものであり、請求項4に記載したパスセレクト信号のグループを、トレースバック処理機構を利用して効率的に格納することができる。

【0060】請求項9に記載の発明は、ACS演算手段に、複数の全加算器から成る加算手段を設け、その一部の全加算器から出力されるキャリー信号の次段への伝搬を制御可能にし、この加算手段を1または2以上の累積加算器として使用できるようにしたものであり、ACS演算用の加算器を一般の積和演算用の加算器に兼用することができる。

【0061】請求項10に記載の発明は、演算処理装置と、積和演算部と、データの入出力を行なう入出力部と、この演算処理装置、積和演算部及び入出力部を制御する制御部とを備えるDSPにおいて、この演算処理装

置として、請求項1乃至9に記載の演算処理装置を設けたものであり、積和演算部を有する通常のDSPの中に、この演算処理装置を組み込み、ビタビ復号のトレースバック処理を効率的に行なうことのできるDSPを得ることができる。

【0062】請求項11に記載の発明は、信号の送信及び受信を行なうアンテナ部と、アンテナ部からの受信信号を受信する受信無線部と、送信信号をアンテナ部へ送信する送信無線部と、受信信号を復調して復号化し、送信信号を符号化して変調するベースバンド信号処理部と、アンテナ部、受信無線部、送信無線部及びベースバンド信号処理部を制御する制御部と、外部との信号の入出力を行なう入出力部とを備える無線局装置において、ベースバンド信号処理部に、ベースバンド信号処理部で果たす機能の内の、少なくとも、受信信号の復号化を実行するDSPを設け、このDSPに請求項1乃至9に記載の演算処理装置を含ませたものであり、ビタビ復号のトレースバック処理を効率的に行なうことのできる無線局装置を得ることができる。

【0063】請求項12に記載の発明は、このベースバンド信号処理部が、CDMA通信方式の変調及び復調を行なうようにしたものであり、CDMA通信を行なう無線局装置を構成することができる。

【0064】請求項13に記載の発明は、この無線局装置の入出力部に、音声信号を電気信号に変換する手段と電気信号を音声信号に変換する手段とを設けて、この入出力部を通じて音声信号を入出力するようにしたものであり、この無線局装置を、効率的なビタビ復号処理を行なう無線移動局として構成することができる。

【0065】請求項14に記載の発明は、この無線局装置を無線基地局としたものであり、効率的なビタビ復号処理を行なう無線基地局を構成することができる。

【0066】以下、本発明の実施の形態について図面を用いて説明する。

【0067】(第1の実施の形態) 第1の実施形態の演算処理装置は、図1に示すように、バスメトリック、パスセレクト信号などを記憶するデータメモリ1と、データメモリ1に接続され、データの供給や演算結果の移送等を行なうバス2と、データメモリ1からバス2を介して読みだされたデータをシフトするバレルシフタ3と、バレルシフタ3の出力のMSBをシフト入力し、また、MSBをアドレス変換部7に出力するとともに、バス2を介してデータメモリ1からのデータロードまたはデータメモリ1へのデータ格納を行なうシフトレジスタ4と、シフトレジスタ4の予め定めた複数のビット位置の値を反転して、バレルシフタ3にシフトビット数として与えるデータ変換部5と、データメモリ1に供給するアドレスを発生するアドレス発生部10と、アドレス発生部10及びシフトレジスタ4から入力した値を変換して、データメモリ1のアドレスとして出力するアドレス変換部

7とを備えており、アドレス発生部10は、データメモリ1に供給するアドレスを記憶するアドレスレジスタ6と、アドレスレジスタ6に加算するための増分値を記憶する増分レジスタ9と、アドレスレジスタ6の値に増分レジスタ9の値を加算してアドレスレジスタ6に格納する加算器8とを具備している。

【0068】なお、バレルシフタ3のシフトビット数は2の補数体系で表され、正の数のとき左シフトとなり、負の数のとき右シフトとなる。また、シフトレジスタ4はシフト入力側を最上位ビット(MSB)とする。

【0069】次に、この実施形態の演算処理装置で、テーブルビットで終端された拘束長 $K=6$ の畳み込み符号をビタビ復号する際のトレースバック処理の動作について図1、2、3、4、及び図5を参照しながら説明する。ここでは、符号化されている情報ビット数を $n$ とする。また、データメモリ1、バス2、バレルシフタ3、シフトレジスタ4、アドレスレジスタ6等のデータパスのビット幅 $m$ は16ビット幅( $m=16$ )であるとする。従って、従来例とは異なり、 $2^{K-1}$ ( $=32$ )の値はデータパスのビット幅よりも大きくなっている。

【0070】データ変換部5は、図2に示すように、インバータ21を具備している。このデータ変換部5には、シフトレジスタ4の上位5ビットからMSBを除く4ビットが入力し、インバータ21が、この入力する4ビット( $\log_2 m$ )の値を反転する。そして、インバータ21の出力4ビットのMSBに1ビットの値「0」を付加した5ビットの値が、バレルシフタ3にシフトビット数を表す制御信号として出力される。

【0071】図4は、バレルシフタ3の動作仕様を説明する図であり、バレルシフタ3は、データ変換部5から出力される5ビットの制御信号に従って、図4に示すように、入力信号をシフトして出力するシフト動作を行なう。

【0072】アドレス変換部7は、図5に示す構成を備えており、アドレスレジスタ6の出力16ビットと、シフトレジスタ4のMSBとが入力する。アドレス変換部7は、アドレスレジスタ6の出力における上位15ビットをそのままデータメモリ1に出力し、アドレスレジスタ6の出力のLSBとシフトレジスタ4のMSBの値とのいずれかを選択して、データメモリ1に供給するアドレスのLSBとして出力する。

【0073】図3は16ビット幅のデータメモリ1にパスセレクト信号が格納されている様子を示している。時点 $t$ のパスセレクト信号 $PS_t[i]$ 、( $i=0\sim 31$ )計32ビットは、図3(a)に示すように、16ビット幅のデータメモリ1に2ワードに詰めて格納されている。即ち、アドレス「 $2t+0$ 」に $PS_t[15:0]$ が格納され、アドレス「 $2t+1$ 」に $PS_t[31:16]$ が格納されている。

【0074】ここで注目すべき点は、状態を表す数字 $i$

の値を5ビットの2進数で表した場合、そのMSBが0のとき ( $i=0\sim 15$ のとき) には、対応する  $PS_t[i]$  がデータメモリ1のアドレス「 $2t+0$ 」に格納されており、そのMSBが1のとき ( $i=16\sim 31$ のとき) には、対応する  $PS_t[i]$  がデータメモリ1のアドレス「 $2t+1$ 」に格納されていることである。この実施形態のアドレス変換部7にシフトレジスタ4のMSBが入力されるのは、このためである。以下で説明するように、トレースバック処理の過程で、シフトレジスタ4の上位5ビットには状態を表す数字  $i$  が格納され、シフトレジスタ4のMSBが、アドレス「 $2t$ 」の「 $+0$ 」か「 $+1$ 」かを指定するアドレス情報を与える。

【0075】また、復号されたデータ  $Y[j]$ 、( $j=0\sim \{n-1\}$ ) は、16ビットを1ワードに詰め、データメモリ1に格納する。

【0076】トレースバック操作では、アドレス発生部10が、アドレスレジスタ6に格納した値を出力した後、その値に増分レジスタ9の増分値を加算してアドレスレジスタ6に再格納する、という動作を繰り返すことにより、「 $2t+0$ 」に相当するアドレスを順次出力する。アドレス変換部7は、シフトレジスタ4のMSBが0のときは「 $2t+0$ 」を、また、シフトレジスタ4のMSBが1のときは「 $2t+1$ 」をアドレスとしてデータメモリ1に供給する。

【0077】データメモリ1は、アドレス変換部7から出力されたアドレスによりバスメモリを読み出す。このバスメモリはパレルシフト3に入力し、パレルシフト3は、データ変換部5の制御信号に従って、読み出されたバスメモリの中の選択されたバスセレクト信号をMSBにシフトする。そして、このMSBがシフトレジスタ4に入力する。

【0078】このときシフトレジスタ4に格納されている上位5ビットは、1つ前の選択された状態を表している。この上位5ビットの内、MSBは、次のアドレスにおける「 $+0$ 」または「 $+1$ 」を指定するためにアドレス変換部7に出力され、また、残りの4ビットは、データ変換部5に出力されて反転される。この反転された4ビットの値は、2ワードに分けて格納されたバスメモリの1つのワードにおいて、1つ前の選択された状態に対応するバスセレクト信号をMSBにシフトするために必要なシフト数を示している。

【0079】こうした手順を繰り返すことにより、シフトレジスタ4には、復号データとなる選択されたバスセレクト信号が順次格納され、それが所定ビット数貯まった段階でデータメモリ1に移送される。

【0080】次に、トレースバックの動作をステップに分けて説明する。

【0081】ステップ1：アドレスレジスタ6に、初期値として「0」を格納する。

【0082】ステップ2：増分レジスタ9に、固定値

「2」を格納する。

【0083】ステップ3：状態0から始めるために、固定値「0」をシフトレジスタ4にロードして格納する。

【0084】次のステップ4とステップ5について、 $j$ の値を  $\{(n-1)+5\}$  から5までダウンカウントしながら  $n$  回繰り返す。

【0085】ステップ4：アドレス発生部10は、アドレスレジスタ6の値をアドレス変換部7に出力するとともに、アドレスレジスタ6の値を、加算器8で増分レジスタ9の値と加算して、アドレスレジスタ6に再格納し更新する。アドレス変換部7は入力されたアドレスレジスタ6の値の上位15ビットはそのままデータメモリ1に出力するとともに、シフトレジスタ4のMSBの値を選択して、データメモリ1に供給するアドレスのLSBとして出力する。データメモリ1はアドレス変換部7から出力されたアドレスよりバスメモリ  $PM[i]$  を読み出し、バス2を介してパレルシフト3に出力する。パレルシフト3はデータ変換部5の出力の5ビットが指定するシフトビット数の分だけシフトして、パレルシフト3の出力のMSBをシフトレジスタ4にシフト入力する（選択するバスセレクト信号が最上位ビット[MSB]に寄せられた。ここで、シフト入力後のシフトレジスタ4の上位  $[K-1]$  ビット ( $=5$  ビット) が1つ前の状態を示していることになる。さらに、上位  $[K-1]$  ビットの反転が、次のバスセレクト信号を選択するためのシフトビット数の基礎となっている。）。

【0086】ステップ5：16ビット分だけ復号されるごとに1回、シフトレジスタ4の内容をデータメモリ1に格納する。（選択され、シフトレジスタ4に格納されたバスセレクト信号が、復号データとなっている。）

以上のように、この実施形態の演算処理装置では、 $n$  ビットの情報ビットに対するビタビ復号のトレースバックの処理を  $\{n + (n/2^{K-1}) + 3\}$  ステップで実行することができる。このとき、ステップ4で、アドレス発生部6とアドレス変換部7とがシフトレジスタ4の値に応じたアドレスをデータメモリ1に供給するので、時点  $t$  のバスセレクト信号  $PS_t[i]$  が、図3に示すようにデータメモリ1の複数のワードに分割されて格納されている場合でも、効率的にトレースバック処理を行なうことが可能になる。

【0087】なお、これまでの説明では、シフトレジスタ4の上位5ビットの内、MSBをアドレス変換部7に出力し、残りの4ビットがデータ変換部5に出力する、としているが、シフトレジスタ4の上位5ビットをアドレス変換部7に出力し、アドレス変換部7が、その内のMSBをアドレス変換部7に出力し、残りの4ビットの反転を行ない、MSBに0を付加するように構成してもよい。

【0088】また、これまでの説明では、拘束長が6の場合の具体例を示したが、拘束長がそれ以外の数であっ

でも、それに応じた変更を適宜施すことによって同様に実施することができる。例えば、拘束長 $K=7$ のときは、図3(b)に示すように、時点 $t$ のパスセレクト信号 $PS_t[i]$ を4つのワードに分割してデータメモリ1に格納する。この場合、シフトレジスタ4の上位6ビットの内、上位2ビットをアドレスの特定に用い、残りの4ビットを、次のパスセレクト信号を選択するためのシフトビット数の基礎に用いる。

【0089】(第2の実施の形態)第2の実施形態の演算処理装置は、パイプライン構造の演算処理に適した構成を有している。

【0090】この装置は、図6に示す構成を備えている。この装置の第1の実施形態(図1)との違いは、次の3点にある。

【0091】第1点は、データ変換部5とシフトレジスタ4との接続関係である。データ変換部5に、第1の実施形態と違って、シフトレジスタ4のMSBを含む上位4( $\log_2 m$ )ビットが入力するように接続されている。

【0092】第2点は、アドレス変換部7とシフトレジスタ4との接続関係である。この実施形態では、アドレス変換部7に、シフトレジスタ4のMSBではなく、MSBから数えて4ビット目、即ちビット12の値が入力するように接続されている。第3点は、データメモリ1に格納されたパスセレクト信号のビット配置であり、データメモリ1には、図7(a)に示すように、時点 $t$ のパスセレクト信号 $PS_t[i]$ 、( $i=0\sim 31$ )計32ビットの内、 $PS_t[i]$ ( $i$ =偶数)がアドレス「 $2t+0$ 」に、 $PS_t[i]$ ( $i$ =奇数)がアドレス「 $2t+1$ 」に格納されている。

【0093】ここで注目すべき点は、状態を表す数字 $i$ の値を5ビットの2進数で表したとき、そのMSBでなく、LSBが0のとき( $i$ =偶数のとき)は、対応する $PS_t[i]$ がデータメモリ1のアドレス「 $2t+0$ 」に格納されており、そのLSBが1のとき( $i$ =奇数のとき)は、対応する $PS_t[i]$ がデータメモリ1のアドレス「 $2t+1$ 」に格納されていることである。この実施形態において、シフトレジスタ4のMSBがアドレス変換部7に入力されていないのは、このためである。

【0094】また、シフトレジスタ4のMSBから数えて、5ビット目ではなく、4ビット目のデータがアドレス変換部7に入力するように接続されているのは、以下の理由による。

【0095】この演算処理装置は、図8に示すように、パイプライン構造による動作を行なう。例えば命令#1においてサイクル $n+1$ でシフト実行するには、予めサイクル $n$ の先頭でデータメモリ1にアドレスを供給してメモリアクセスを行なう必要がある。サイクル $n+1$ でシフト実行するデータが入っているデータメモリ1のアドレスのLSBは、サイクル $n$ を実行した時点でシフトレジスタ4のMSBから数えて5ビット目にシフトイン

される値であるから、サイクル $n$ の先頭ではMSBから数えて4ビット目に位置している。従って、シフトレジスタ4のMSBから数えて、5ビット目ではなく、4ビット目がアドレス変換部7に接続されている。

【0096】また、シフトレジスタ4に格納されている上位5ビットは、1つ前の選択された状態を表しており、この内の上位4ビットを反転させた値は、パスセレクト信号を偶数と奇数とに分けて格納したパスメモリの1つのワードにおいて、1つ前の選択された状態に対応するパスセレクト信号をMSBにシフトするために必要なシフト数を示している。

【0097】また、復号されたデータ $Y[j]$ 、( $j=0\sim \{n-1\}$ )は、16ビットを1ワードに詰め、データメモリ1に格納する。

【0098】この装置は、こうした構成を持つことによって、図8に示すようなパイプライン構造の演算処理を行なう場合にも、第1の実施形態と同様の処理ステップによってトレースバック処理を行なうことが可能になる。

【0099】次にトレースバックの動作をステップに分けて説明する。

【0100】ステップ1: アドレスレジスタ6に、初期値として「0」を格納する。

【0101】ステップ2: 増分レジスタ9に、固定値「2」を格納する。

【0102】ステップ3: 状態0から始めるために、固定値「0」をシフトレジスタ4に格納する。

【0103】次のステップ4とステップ5について、 $j$ の値を $\{(n-1)+5\}$ から5までダウンカウントしながら $n$ 回繰り返す。

【0104】ステップ4: アドレス発生部10は、アドレスレジスタ6の値をアドレス変換部7に出力するとともに、アドレスレジスタ6の値を、加算器8で増分レジスタ9の値と加算して、アドレスレジスタ6に再格納し更新する。アドレス変換部7は入力されたアドレスレジスタ6の値の上位15ビットはそのままデータメモリ1に出力するとともに、シフトレジスタ4のMSBから4ビット目の値を選択して、データメモリ1に供給するアドレスのLSBとして出力する。データメモリ1はアドレス変換部7から出力されたアドレスよりパスメモリ $PM[i]$ を読み出し、内部のラッチ(図示せず)に格納する。

【0105】ステップ4': データメモリ1は、内部のラッチ(図示せず)の値をバス2を介してバレルシフタ3に出力する。バレルシフタ3はデータ変換部5の出力の5ビットが指定するシフトビット数の分だけシフトして、バレルシフタ3の出力のMSBをシフトレジスタ4にシフト入力する(選択するパスセレクト信号が最上位ビット[MSB]に寄せられた。ここで、シフト入力後のシフトレジスタ4の上位 $[K-1]$ ビット(=5ビット)

が1つ前の状態を示していることになる。さらに、上位[K-1]ビットの反転が、次のパスセレクト信号を選択するためのシフトビット数の基礎となっている。)

【0106】ステップ5: 16ビット分だけ復号されるごとに1回、シフトレジスタ4の内容をデータメモリ1に格納する(選択され、シフトレジスタ4に格納されたパスセレクト信号が、復号データとなっている。)

【0107】上記のステップ4とステップ4'とは、図8のパイプライン構造におけるメモリアクセスのサイクルとシフト実行のサイクルとにそれぞれ対応するため、見掛け上は1ステップで実行しているようにみえる。

【0108】以上のように、この実施形態の演算処理装置では、パスセレクト信号 $PS_t[i]$ 、( $i=0\sim 3$ )計32ビットを偶数と奇数とに分けてデータメモリ1に格納しているので、演算処理をパイプライン実行する場合でも、読み出すべきパスメモリのワードを、1つ前のサイクル時点で指定することが可能となり、第1の実施形態と同様の処理ステップで、効率的にトレースバックのパイプライン処理を行なうことができる。

【0109】なお、アドレス変換部7とシフトレジスタ4との接続関係は、パイプライン構造の違いにより設計変更が可能である。また、データメモリ1に格納するパスセレクト信号のビット配置は、畳み込み符号の拘束長Kの値に伴って変化し得る。例えば、拘束長 $K=7$ の場合は、図7(b)に示すように、状態を表す数iの値の下位2ビットが、格納されているアドレスを決定するように配置すればよい。この時、アドレス変換部7は、図9に示すようにシフトレジスタ4の該当する2ビットの値を入力してアドレス変換するように設計すればよい。

【0110】以上のように、この実施形態は、復号する畳み込み符号の拘束長Kや演算処理装置のパイプライン動作構造に適するように、さまざまに設計変更することが可能である。

【0111】(第3の実施の形態) 第3の実施形態の演算処理装置は、ビタビ復号におけるトレースバック処理だけでなく、ACS(Add, Compare, Select)演算、即ち加算・比較・選択演算を効率的に行なうことができる。

【0112】この装置は、図10に示すように、第1の実施形態(図1)と同じ1から10までの構成の他に、データメモリ1とともにビタビ復号処理におけるパスメトリックの値を記憶するデータメモリ11と、ブランチメトリックの値を記憶するレジスタファイル20と、データメモリ1、11に記憶されたパスメトリックの値とレジスタファイル20に記憶されたブランチメトリックの値とを用いてビタビ復号処理におけるACS演算を行なうACS演算部13と、データメモリ1に接続してデータの伝送を行なうバス12とを備えている。

【0113】ACS演算部13は、図11に示すように、バス2、12に出力されたパスメトリックの値とレジスタ

ファイル20から出力されるブランチメトリックの値とを加算する加算器14、15と、加算器14、15のそれぞれから出力される加算結果の大小比較を行ない、比較結果を表す制御信号1ビットをシフトレジスタ4と後述するセクタ19とに出力する比較器16と、加算器14、15のそれぞれから出力される加算結果を一時記憶するレジスタ17、18と、比較器16が出力する制御信号に従って、レジスタ17と18とに格納された2個の加算結果のうち、小さいほうの値を選択してバス2または12に出力するセクタ19とを具備している。

【0114】次に、この装置において、ACS演算を行なう動作について説明する。

【0115】データメモリ1には、図17に示すパスメトリックAの値を含むパスメトリックの値が格納されている。データメモリ11には、図17に示すパスメトリックBの値を含むパスメトリックの値が格納されている。レジスタファイル20にはブランチメトリックx、yの値を含むブランチメトリックの値が格納されている。

【0116】ACS演算部13の加算器14は、データメモリ1からバス2を介して読み出されたパスメトリックAの値とレジスタファイル20から読み出されたブランチメトリックxの値とを加算して、加算結果を比較器16に出力するとともに、レジスタ18に格納する。加算器15は、データメモリ11からバス12を介して読み出されたパスメトリックBの値とレジスタファイル20から読み出されたブランチメトリックyの値とを加算して、加算結果を比較器16に出力するとともに、レジスタ17に格納する。

【0117】比較器16は、加算器14から出力された加算結果の方が、他方の加算器15から出力された値よりも小さい場合は「0」、加算器15から出力された加算結果の方が、他方の加算器14から出力された値よりも小さい場合は「1」となる制御信号1ビットをシフトレジスタ4とセクタ19とに出力する。

【0118】セクタ19は、この制御信号の値が「0」の場合はレジスタ18を選択し、制御信号の値が「1」の場合はレジスタ17を選択して、バス2または12を介し、各レジスタに格納されている値をデータメモリ1または11に格納する。

【0119】シフトレジスタ4は、比較器16から出力される制御信号、即ちパスセレクト信号を1ビットずつシフトしながら格納する。

【0120】以上がACS演算1回分の処理である。

【0121】例えば、復号する畳み込み符号の拘束長 $K=6$ の場合は、以上の処理を32回繰り返せば、受信系列1シンボル分のACS演算を行なうことができる。このとき、前半の16回までは、セクタ19はその出力をデータメモリ1に格納する。また、シフトレジスタ4に格納されたパスセレクト信号はバス2を介してデータメモリ1に格納する。次いで、後半の16回のACS演算では、セクタ19はその出力をバス12を介してデータメ

メモリ11に格納する。シフトレジスタ16に格納された後半のパスセレクト信号16ビットは、バス2を介してデータメモリ1に格納する。

【0122】こうすることにより、パスセレクト信号は、データメモリ1に、図3(a)に示すように格納される。この受信系列1シンボル分のACS演算を、受信系列nシンボル分繰り返す。

【0123】この後、第1の実施形態に記述した手順に従って、トレースバックの処理を行えば、ビタビ復号処理を行なうことができる。

【0124】このように、この演算処理装置では、シフトレジスタ4が、ACS演算時に、ACS演算部13が出力するパスセレクト信号を1ビットずつ順に記憶していくので、トレースバック処理のみならずACS演算処理も効率的に行なうことができる。また、シフトレジスタ4をACS演算時とトレースバック処理時とで兼用できるので、この演算処理装置をLSIで実現する場合に、そのチップ面積を削減してコストの低減を図ることができる。また、実行ステップが小さくなることによって動作周波数を小さくできるので、演算処理装置全体の低消費電力化を図ることができる。

【0125】(第4の実施の形態) 第4の実施形態の演算処理装置は、ビタビ復号のACS演算により、図7(a)のパスセレクト信号の格納を可能にしたものである。

【0126】この装置は、図12に示すように、ACS演算部13が出力するパスセレクト信号を格納する第2のシフトレジスタ21を備えている。その他の構成は第3の実施形態(図10)と変わらない。

【0127】この装置は、パスセレクト信号を格納する処理以外については、第3の実施形態と全く同じ動作を行なう。パスセレクト信号を格納する処理は、次のように行なわれる。

【0128】例えば、復号する畳み込み符号の拘束長 $K=6$ の場合は、第3の実施形態で説明したACS演算の動作を32回繰り返すが、この時、ACS演算部13が出力するパスセレクト信号をシフトレジスタ4とシフトレジスタ21とで交互に1ビットずつ格納していく。即ち偶数回数の時はパスセレクト信号をシフトレジスタ4に格納し、奇数回数の時はシフトレジスタ21に格納する。32回のACS演算が終了した後、最後にシフトレジスタ4とシフトレジスタ21とに格納されたパスセレクト信号を、順にバス2を介してデータメモリ1に格納する。

【0129】この時、パスセレクト信号は、図7(a)に示すように格納される。従って、受信系列1シンボル分のACS演算を、受信系列nシンボル分繰り返した後、第2の実施形態に記述した手順に従って、トレースバックの処理を実行し、ビタビ復号処理を行なうことができる。

【0130】このように、この演算処理装置では、シフ

トレジスタ4とシフトレジスタ21とが、ACS演算時に、ACS演算部13が出力するパスセレクト信号を1ビットずつ交互に記憶していくので、第2の実施形態で示したパイプライン構造を有するプロセッサにおいてもトレースバック処理のみならずACS演算処理も効率的に行なうことができる。

【0131】また、シフトレジスタ4をACS演算時とトレースバック処理時とで兼用できるので、装置のLSI化を図るときに、そのチップ面積を削減してコストを低減することができる。また、実行ステップが小さくなることによって動作周波数を小さくできるので、演算処理装置全体の低消費電力化を図ることができる。

【0132】なお、この実施形態では、シフトレジスタ4と21との2本を設けているが、シフトレジスタの本数はさらに増やしてもよい。例えば、シフトレジスタを計4本設けるように設計すれば、復号する畳み込み符号の拘束長 $K=7$ の時のACS演算時に、パスセレクト信号を4本のシフトレジスタに順次1ビットずつ格納していくようにして、最後にデータメモリ1に順に格納すれば、パスセレクト信号は、図7(b)に示すように格納される。

【0133】(第5の実施の形態) 第5の実施形態の演算処理装置は、第3及び第4の実施形態のACS演算部における加算器を改善したものである。

【0134】この装置は、図13に示すように、ACS演算部13が、32ビット幅の加算器22を備えており、4つのデータの加算をそれぞれ上位側と下位側とで同時並列的に実行する。従って、機能的には図11に示した構成と同様の動作を行なうことができる。つまり16ビットの加算器2個として動作させることができる。

【0135】この加算器22は、図14に示すように、内部に32個の全加算器を具備し、全加算器のそれぞれが、対応するビット0~31の加算を行なう。ビット0の全加算器は、入力 $X[0]$ と入力 $Y[0]$ とを加算して、桁上げなしの和 $0[0]$ とキャリー信号 $C_i[0]$ とを出力し、ビット31の全加算器は、入力 $X[31]$ と入力 $Y[31]$ と前段のキャリー信号 $C_i[30]$ とを加算して、桁上げなしの和 $0[31]$ を出力し、また、ビット1~30の全加算器は、入力 $X$ と入力 $Y$ と前段のキャリー信号 $C_i$ とを加算して、桁上げなしの和 $0$ とキャリー信号 $C_i$ とを出力する。

【0136】この内、ビット15の全加算器から出力されたキャリー信号 $C_o[15]$ だけは、AND回路に入力し、このAND回路を介して、次段のビット16の全加算器にキャリー信号 $C_i[15]$ として出力される。AND回路には、制御部(図示せず)からの制御信号も入力しており、この制御信号により、キャリー信号の次段への伝搬を禁止できるように構成されている。

【0137】機能的には、ビット0~15までの16ビット分の全加算器が、図11における加算器14に相当

し、ビット16～31までの16ビット分の全加算器が、図11における加算器15に相当している。

【0138】ACS演算を行なうときは、AND回路に inputsする制御信号の値が0となり、ビット15の全加算器から出力されたキャリー信号の伝搬が禁止される。このときには、第3または第4の実施形態と全く同じ動作でビタビ復号を行なうことができる。

【0139】また、この制御信号を1にした場合には、加算器22は通常の32ビットの加算器として動作する。通常、DSPには、積和演算用の累積加算器として32ビット以上のビット幅の加算器が設けられているが、この加算器22は、その累積加算器としても用いることができる。

【0140】このように、この実施形態の演算処理装置では、トレースバック処理のみならずACS演算処理も効率的に行なうことができ、さらに、搭載されている加算器22を、ビタビ復号用及び累積加算用に兼用することができる。

【0141】そのため、演算処理装置をLSI化する場合に、そのチップ面積を削減してコストを低減することができる。

【0142】(第6の実施の形態) 第6の実施形態では、第1～第5の実施形態の演算処理装置を持つDSPについて説明する。

【0143】DSPは、デジタル信号処理専用の1チップ・マイクロプロセッサであり、積和演算を高速に実施できるハードウェア構成を備えているが、この実施形態のDSPでは、図19に示すように、積和演算部62の他に、第1～第5の実施形態の演算処理装置61と、外部とのデータの入出力を行なう入出力部63と、演算処理装置61、積和演算部62及び入出力部63を制御する制御部64とを1チップの中に設けている。

【0144】このDSP60は、制御部64の制御の基に演算処理装置61が機能する場合には、ビタビ復号用のDSPとして動作し、バスのビット幅を大きくしなくても、ビタビ復号のトレースバック処理を少ないステップ数で、高速且つ効率的に行なうことができる。

【0145】また、制御部64の制御の基に積和演算部62が機能する場合には、積和演算を高速で実行することができ、デジタルフィルタやFFT(高速フーリエ変換)演算器などにおける演算を効率的に処理することができる。

【0146】このように、第1～第5の実施形態の演算処理装置は、通常のDSPの中に組み入れることが可能である。

【0147】(第7の実施の形態) 第7の実施形態では、ビタビ復号を行なうDSPが組み込まれた無線移動局について説明する。

【0148】この無線移動局は、図20に示すように、送受信共用のアンテナ部710と、受信部721及び送信部72

2から成る無線部720と、信号の変調及び復調と符号化及び復号化を行なうベースバンド処理部730と、音声を放音するスピーカ751と、音声を入力するマイク752と、送受信するデータを外部装置との間で入出力するデータ入出力部753と、動作状態を表示する表示部754と、テンキーなどの操作部755と、アンテナ部710、無線部720、ベースバンド信号処理部730、表示部754及び操作部755などを制御する制御部760とを備えている。

【0149】また、ベースバンド信号処理部730は、受信信号を復調する復調部731と、送信信号を変調する変調部735と、1チップのDSP740とで構成され、DSP740は、第1～第5の実施形態の演算処理装置から成るビタビ復号部742と、送信信号を畳み込み符号化する畳み込み符号化部743と、音声信号の符復号化を行なう音声コーデック部744と、送受信のタイミングを計って受信信号を復調部731からビタビ復号部742に、送信信号を畳み込み符号化部743から変調部735に送るタイミング制御部741とを、それぞれソフトウェアで形成している。

【0150】この無線移動局700の制御部760は、無線移動局700全体の動作を制御し、例えば、操作部755から入力した信号を表示部754に表示したり、操作部755から入力した信号を受けて、発着呼の動作を行なうための制御信号を、通信シーケンスに従って、アンテナ部710、無線部720及びベースバンド信号処理部730などに出力する。

【0151】無線移動局装置700から音声を送信される場合には、マイク752から入力した音声信号がAD変換され(図示なし)、DSP740のコーデック部744で符号化され、その符号化データが畳み込み符号化部743に入力する。また、データが送信される場合には、外部から入力したデータがデータ入出力部753を介して畳み込み符号化部743に入力する。畳み込み符号化部743は、入力したデータを畳み込み符号化し、タイミング制御部741に出力する。

【0152】タイミング制御部741は、入力したデータの並び替えや送信出力タイミングの調整を行なって、変調部735に出力する。

【0153】変調部735に入力したデータは、デジタル変調され、DA変換されて(図示なし)、無線部720の送信部722に出力される。

【0154】送信部722は、これを無線信号に変換してアンテナ部710に送り、アンテナから電波として送信される。

【0155】一方、受信時には、アンテナ部710で受信された電波が、無線部720の受信部721で受信され、AD変換されて、ベースバンド信号処理部730の復調部731に出力される。復調部731で復調されたデータは、タイミング制御部741でデータの並び替え等が行なわれた後、ビタビ復号部742に入力し、ここで復号される。

【0156】ビタビ復号部742で復号されたデータは、

音声通信時には、音声コーデック部744で音声復号化され、DA変換された後、スピーカ751から音声として出力される。

【0157】また、データ通信時には、ビタビ復号部742で復号されたデータは、データ入出力部753を介して外部に出力される。

【0158】図21は、図20の無線移動局装置の構成を一部変更し、変調部735に拡散部737を設け、また、復調部731に逆拡散部733を設けたCDMA通信方式の無線移動局装置を示している。この装置では、拡散部737及び逆拡散部733を備えることにより、CDMA通信を行なうことができる。

【0159】このように、この無線移動局装置700は、ビタビ復号部742、畳み込み符号化部743、音声コーデック部744及びタイミング制御部741の各部を1チップのDSP740のソフトウェアで形成しているため、少ない部品点数で組み立てることができる。また、このビタビ復号部742を第1～第5の実施形態の演算処理装置で形成しているため、バスのビット幅を大きくする必要が無い。それにも拘わらず、ビタビ復号のトレースバック処理を少ないステップ数で、高速且つ効率的に行なうことができる。

【0160】なお、ここでは、復調部731及び変調部735をDSP740と区別して示しているが、それらをDSP740のソフトウェアで構成することも可能である。

【0161】また、DSPとして、第6の実施形態のDSPを使用し、畳み込み符号化部743、音声コーデック部744及びタイミング制御部741をそれぞれ別の部品で構成することも可能である。

【0162】(第8の実施の形態) 第8の実施形態では、ビタビ復号を行なうDSPが組み込まれた無線基地局について説明する。

【0163】この無線基地局は、図22に示すように、送信用アンテナ812及び受信アンテナ811を持つアンテナ部810と、受信部821及び送信部822から成る無線部820と、信号の変調及び復調と符号化及び復号化を行なうベースバンド信号処理部830と、送受信するデータを有線回線との間で入出力するデータ入出力部853と、アンテナ部810、無線部820、及びベースバンド信号処理部830などを制御する制御部860とを備えている。

【0164】また、ベースバンド信号処理部830は、受信信号を復調する復調部831と、送信信号を変調する変調部835と、1チップのDSP840とで構成され、DSP840は、第1～第5の実施形態の演算処理装置から成るビタビ復号部842と、送信信号を畳み込み符号化する畳み込み符号化部843と、送受信のタイミングを計って受信信号を復調部831からビタビ復号部842に、送信信号を畳み込み符号化部843から変調部835に送るタイミング制御部841とを、それぞれソフトウェアで形成している。

【0165】この無線基地局800では、制御部860の制御

の下に送信・受信の動作が行なわれ、有線回線から入力したデータは、データ入出力部853を介して畳み込み符号化部843に入力し、畳み込み符号化部843で畳み込み符号化された後、タイミング制御部841に出力される。

【0166】タイミング制御部841は、入力するデータの並び替えや送信出力タイミングを調整して、変調部835に出力し、変調部735でデジタル変調されたデータは、DA変換された後、無線部820の送信部822で無線信号に変換され、送信アンテナ812を通じて無線移動局に電波で送信される。

【0167】一方、受信時には、受信アンテナ811で受信された電波が、無線部820の受信部821で受信され、AD変換されて、ベースバンド信号処理部830の復調部831に出力される。そして、復調部831で復調されたデータは、タイミング制御部841でデータの並び替え等が行なわれて、ビタビ復号部842に入力し、そこで復号されたデータは、データ入出力部853を介して有線回線に出力される。

【0168】図23は、図22の無線基地局装置の構成を一部変更し、変調部835に拡散部837を設け、また、復調部831に逆拡散部833を設けたCDMA通信方式の無線基地局装置を示している。この装置では、拡散部837及び逆拡散部833を備えることにより、CDMA通信を行なうことができる。

【0169】このように、この無線基地局装置800は、ビタビ復号部842、畳み込み符号化部843、及びタイミング制御部841の各部を1チップのDSP840のソフトウェアで形成しているため、少ない部品点数で組み立てることができる。また、このビタビ復号部842を第1～第5の実施形態の演算処理装置で形成しているため、バスのビット幅を大きくしなくても、ビタビ復号のトレースバック処理を少ないステップ数で、高速且つ効率的に行なうことができる。

【0170】なお、ここでも、復調部831及び変調部835をDSP840のソフトウェアで構成することが可能であり、また、DSPとして、第6の実施形態のDSPを使用し、畳み込み符号化部843及びタイミング制御部841をそれぞれ別部品で構成することも可能である。

【0171】

【発明の効果】以上の説明から明らかなように、本発明の演算処理装置は、データメモリやバスのビット幅を大きくしなくとも、ビタビ復号のトレースバック処理を少ないステップで、高速且つ効率的に行なうことができる。

【0172】また、ACS演算で求めたパスセクタ信号をシフトレジスタに入力する装置では、回路規模の拡大を抑えながら、ビタビ復号のACS演算処理とトレースバック処理とを効率的に連携して実施することができる。

【0173】また、ACS演算に用いる加算器を累積加

算用に兼用できるようにした装置は、回路の効率的利用を可能にする。

【0174】こうした装置は、LSI化に際して、チップ面積の低減が可能であり、コスト削減と低消費電力化とを実現することができる。

【0175】また、この演算処理装置を利用してDSPを構成することができ、また、このDSPを誤り訂正のための回路として用いて、無線移動局装置や無線基地局装置を構成することができる。これらの装置では、通信時の信号処理において、ビタビ復号のトレースバック処理を少ないステップで、高速かつ効率的に行なうことができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態における演算処理装置の構成を示すブロック図、

【図2】第1の実施形態の演算処理装置におけるデータ変換部の構成を示す図、

【図3】第1の実施形態の演算処理装置におけるデータメモリに格納されたデータの構造を示す図、

【図4】本発明の第1～5の実施形態の演算処理装置におけるバレルシフタの動作を説明する図、

【図5】第1の実施形態の演算処理装置におけるアドレス変換部の構成を示す図、

【図6】本発明の第2の実施形態における演算処理装置の構成を示すブロック図、

【図7】第2の実施形態の演算処理装置におけるデータメモリに格納されたデータの構造を示す図、

【図8】第2の実施形態の演算処理装置におけるパイプライン動作を説明するタイミング図、

【図9】第2の実施形態の演算処理装置におけるアドレス変換部の構成を示す図、

【図10】本発明の第3の実施形態における演算処理装置の構成を示すブロック図、

【図11】本発明の第3及び第4の実施形態における演算処理装置のACS演算部の構成を示すブロック図、

【図12】本発明の第4の実施形態における演算処理装置の構成を示すブロック図、

【図13】本発明の第5の実施形態における演算処理装置のACS演算部の構成を示すブロック図、

【図14】第5の実施形態の演算処理装置における加算器の構成を示すブロック図、

【図15】従来の演算処理装置の構成を示すブロック図、

【図16】従来の他の演算処理装置の構成を示すブロック図、

【図17】ビタビ復号における畳み込み符号器の状態遷移のパスを示す状態遷移図（トレリス線図）、

【図18】ビタビ復号におけるトレースバック時にパスをさかのぼる動作を示す状態遷移図（トレリス線図）、

【図19】本発明の第6の実施形態におけるDSPのブ

ロック図、

【図20】本発明の第7の実施形態における無線移動局装置の構成を示すブロック図、

【図21】第7の実施形態の無線移動局装置の他の構成を示すブロック図、

【図22】本発明の第8の実施形態における無線基地局装置の構成を示すブロック図、

【図23】第8の実施形態の無線基地局装置の他の構成を示すブロック図である。

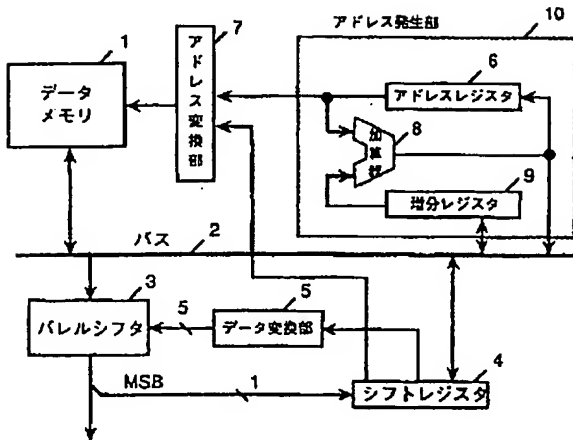
#### 【符号の説明】

- 1、11 データメモリ
- 2、12 バス
- 3 バレルシフタ
- 4、21 シフトレジスタ
- 5 データ変換部
- 6 アドレスレジスタ
- 7 アドレス変換部
- 8、14、15、22 加算器
- 9 増分レジスタ
- 10 アドレス発生部
- 13 ACS演算部
- 16 比較器
- 17、18 レジスタ
- 19 セレクタ
- 20 レジスタファイル
- 23 第1のレジスタ
- 24 第1のラッチ
- 25 第2のラッチ
- 26 ALU
- 27、28 第2のレジスタ
- 29 インバータ
- 60、740、830 DSP
- 61 演算処理装置
- 63 入出力部
- 64 制御部
- 700 無線移動局装置
- 710、810 アンテナ部
- 720、820 無線部
- 721、821 受信部
- 722、822 送信部
- 730、830 ベースバンド信号処理部
- 731、831 復調部
- 733、833 逆拡散部
- 735、835 変調部
- 737、837 拡散部
- 741、841 タイミング制御部
- 742、842 ビタビ復号部
- 743、843 畳み込み符号化部
- 744 音声コーデック部
- 751 スピーカ

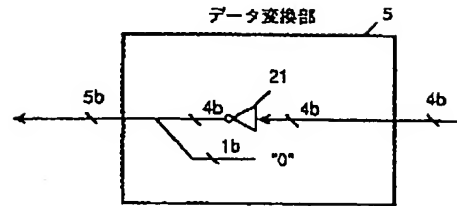
752 マイク  
 753、853 データ入出力部  
 754 表示部  
 755 操作部

760、860 制御部  
 800 無線基地局装置  
 811 受信アンテナ  
 812 送信アンテナ

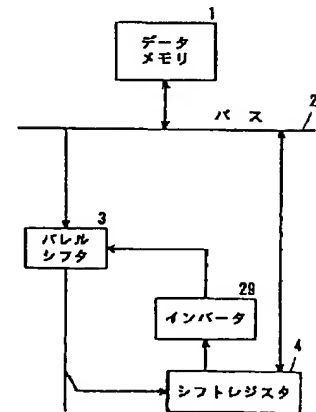
【図1】



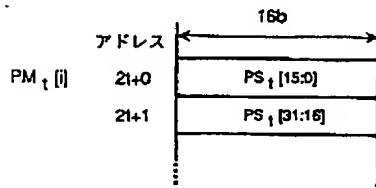
【図2】



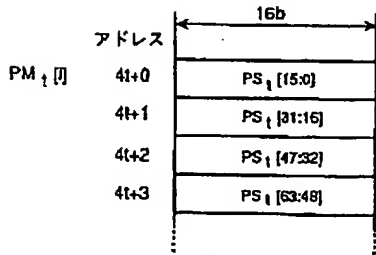
【図16】



【図3】



(a) 拘束長 K = 6 の場合



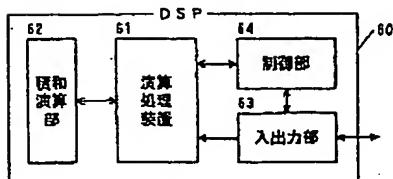
(b) 拘束長 K = 7 の場合

【図4】

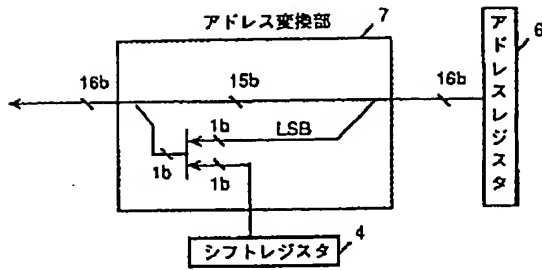
・パレルシフタ3の動作

制御信号	動作
00000	入力データをそのまま出力
00001	左1ビットシフト
00010	左2ビットシフト
00011	左3ビットシフト
00100	左4ビットシフト
00101	左5ビットシフト
00110	左6ビットシフト
00111	左7ビットシフト
01000	左8ビットシフト
01001	左9ビットシフト
01010	左10ビットシフト
01011	左11ビットシフト
01100	左12ビットシフト
01101	左13ビットシフト
01110	左14ビットシフト
01111	左15ビットシフト
10000	右16ビットシフト
10001	右15ビットシフト
10010	右14ビットシフト
10011	右13ビットシフト
10100	右12ビットシフト
10101	右11ビットシフト
10110	右10ビットシフト
10111	右9ビットシフト
11000	右8ビットシフト
11001	右7ビットシフト
11010	右6ビットシフト
11011	右5ビットシフト
11100	右4ビットシフト
11101	右3ビットシフト
11110	右2ビットシフト
11111	右1ビットシフト

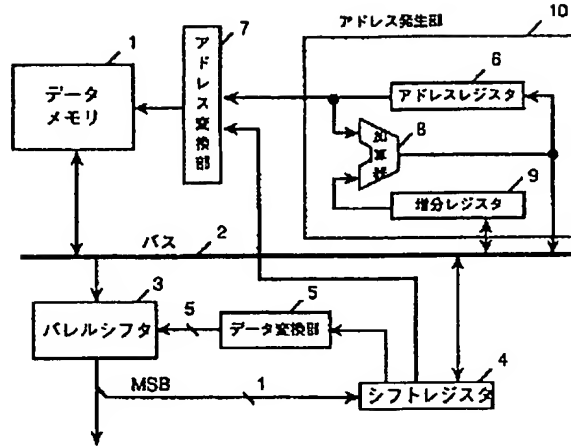
【図19】



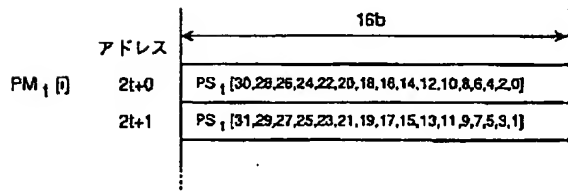
【図5】



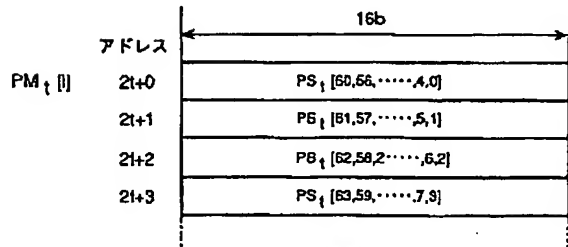
【図6】



【図7】

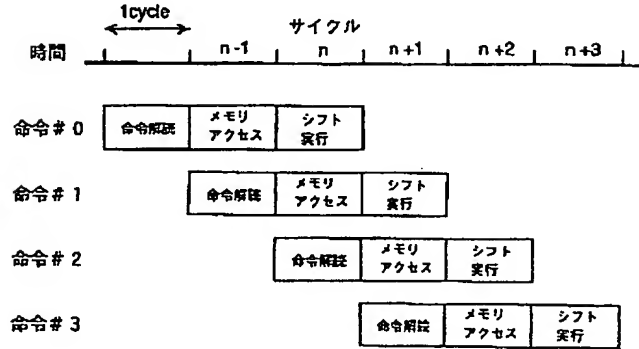


(a)拘束長K=6の場合

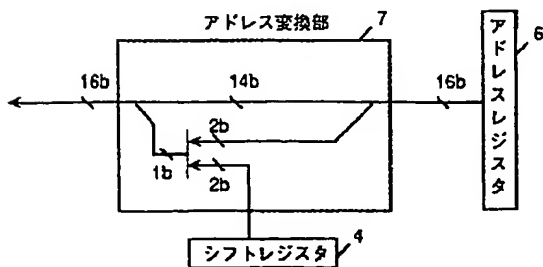


(b)拘束長K=7の場合

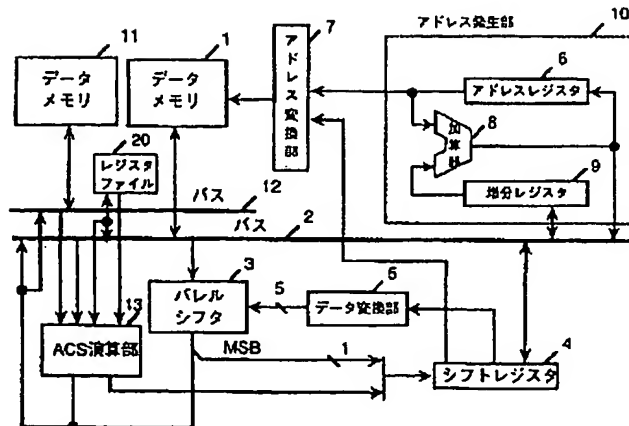
【図8】



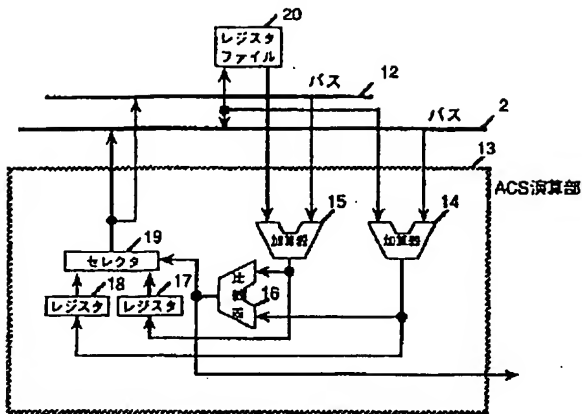
【図9】



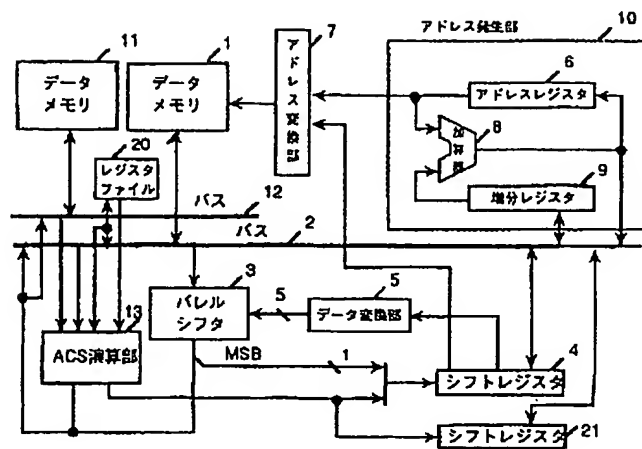
【図10】



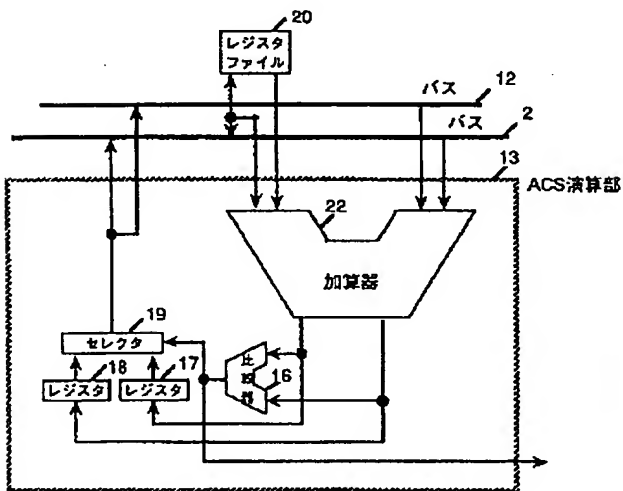
【図11】



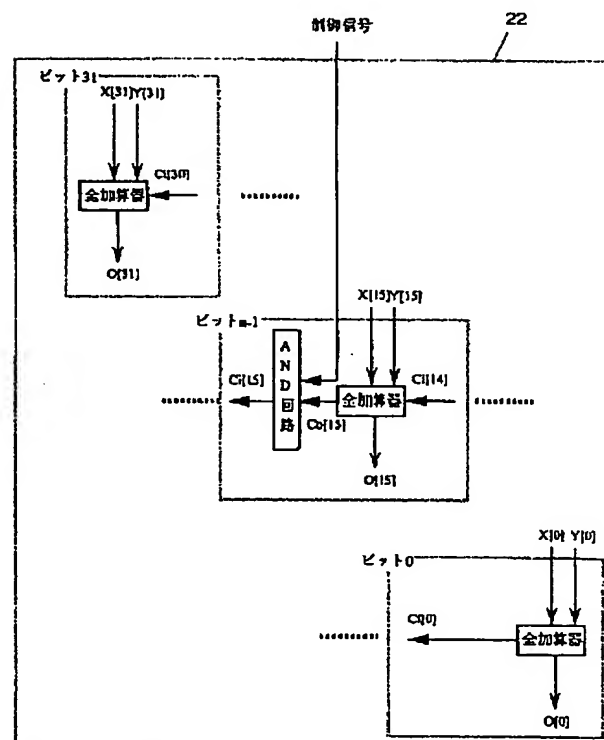
【図12】



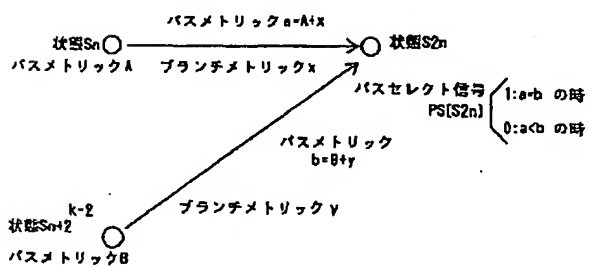
【図13】



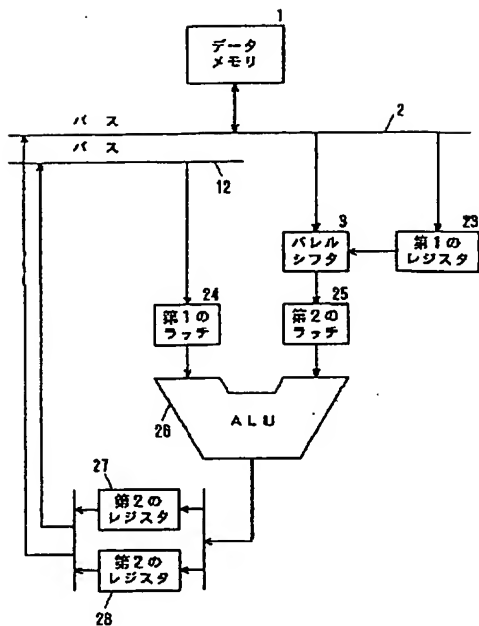
【図14】



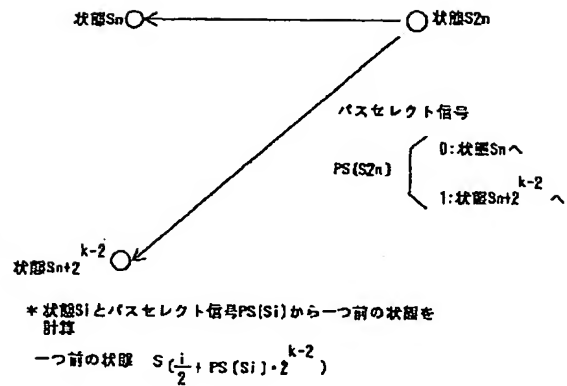
【図17】



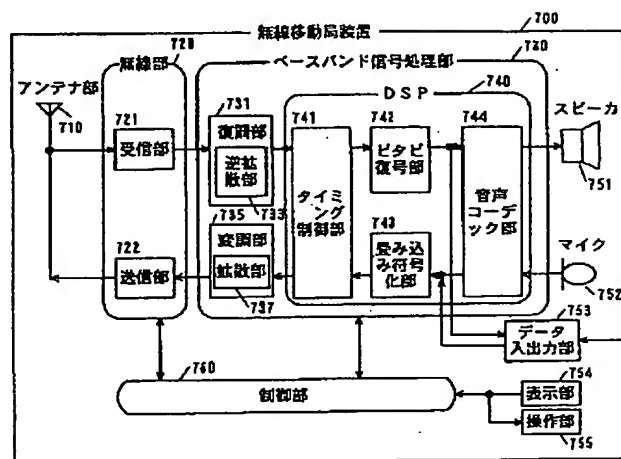
【図15】



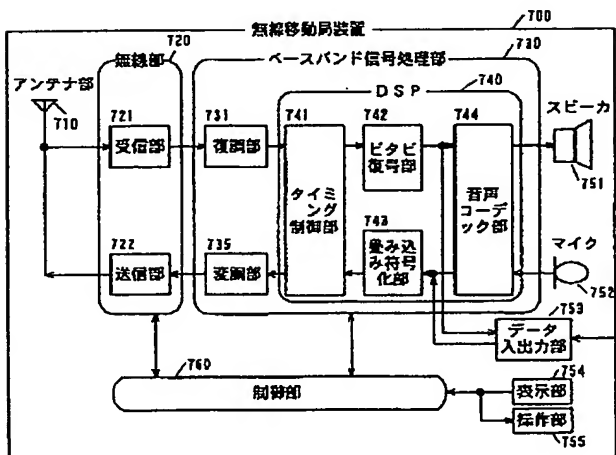
【図18】



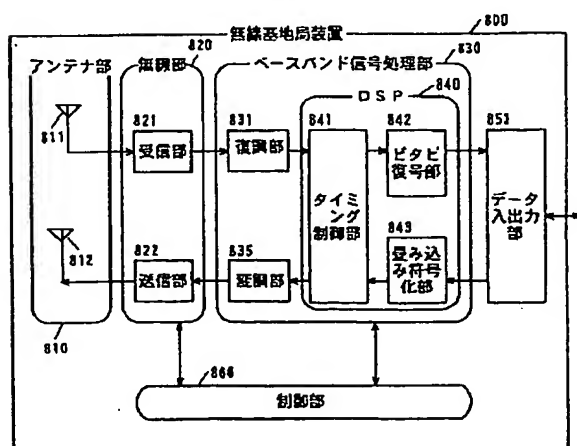
【図21】



【図20】



【図22】



【図23】

